

計算機システム

自習 APDX02:順序回路の設計

<http://archlab.naist.jp/Lectures/ARCH/x02/apdx02j.pdf>

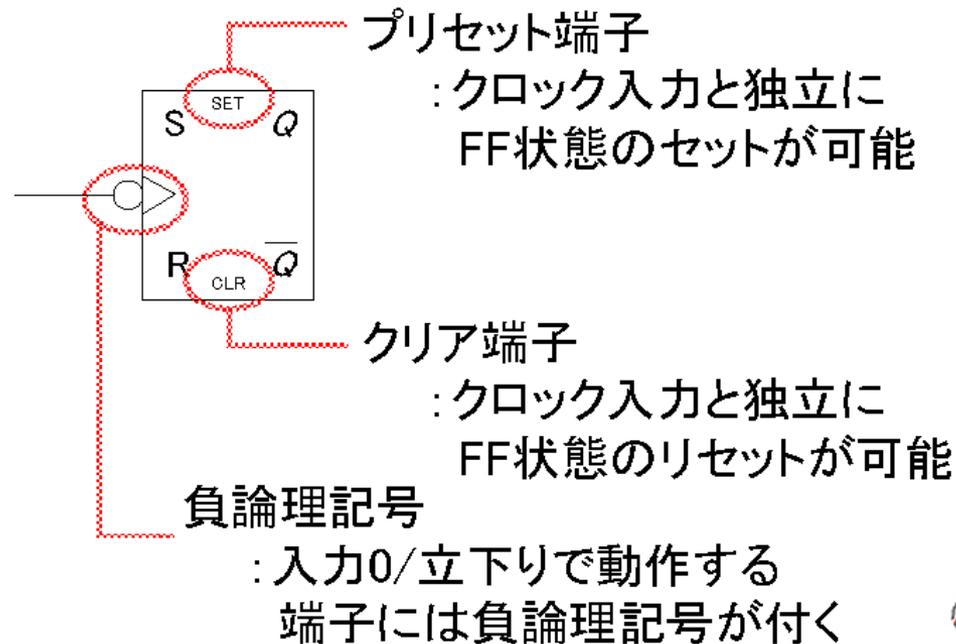
Copyright © 2021 奈良先端大 中島康彦

FFを用いた順序回路の構成と設計

- 非同期式順序回路と同期式順序回路
- 各種順序回路の動作
- 状態遷移図と励起表を用いた順序回路の設計

FFの記号の見方

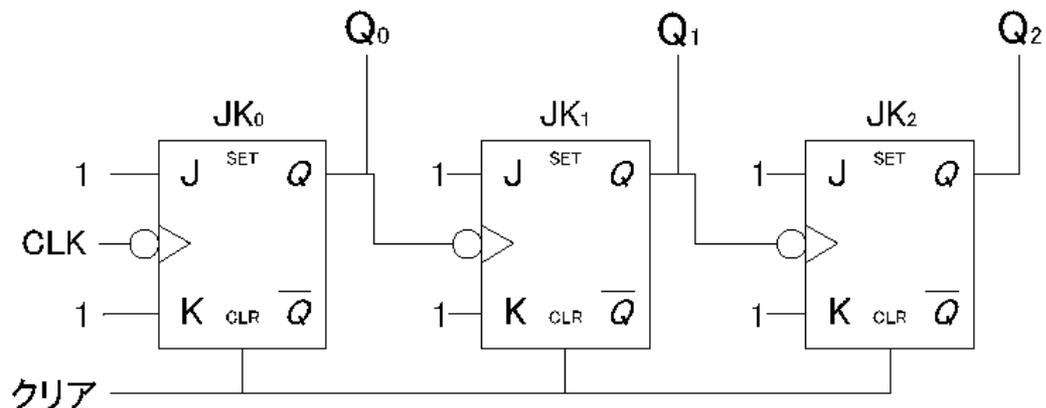
- リセット・プリセット端子
- ポジティブエッジトリガ(正論理)とネガティブエッジトリガ(負論理)



出力がクロックに同期しないカウンタ

(便宜上, 非同期式カウンタと呼ぶ場合もあるが, 厳密な意味での非同期回路にはクロックがない)

非同期式8進カウンタ



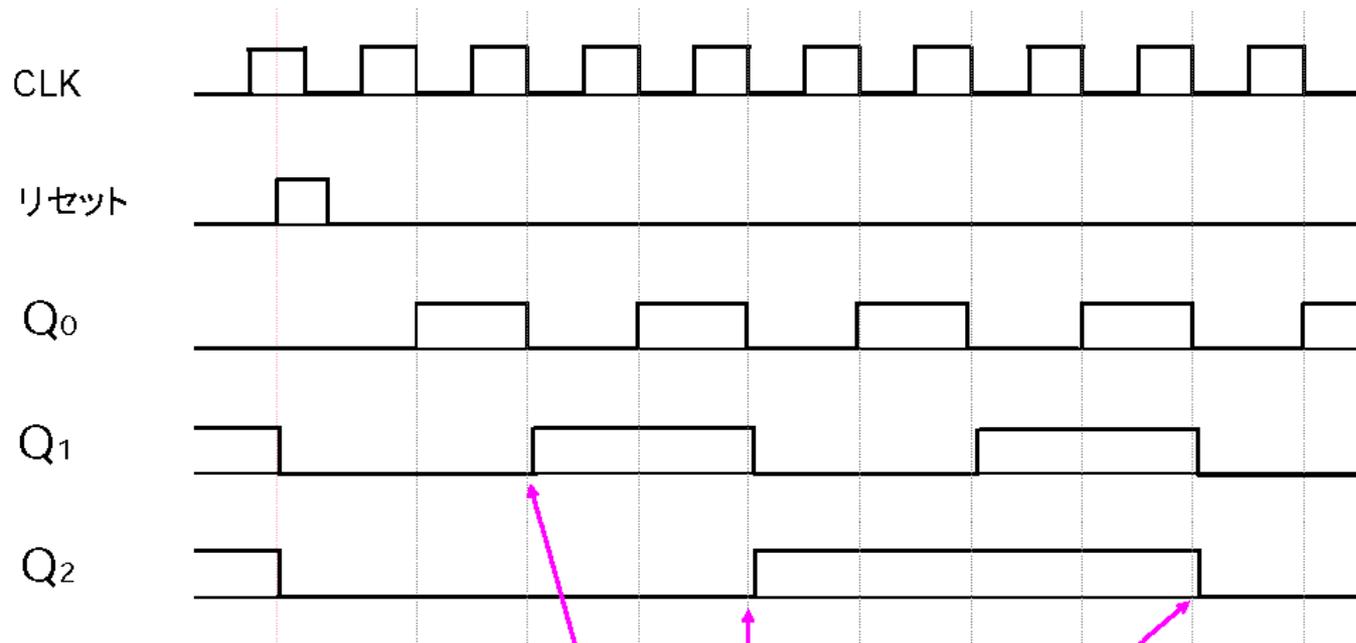
クロック入力がある毎に $Q_2Q_1Q_0$ が,

000→001→010→011→100→101→110→111

と動作

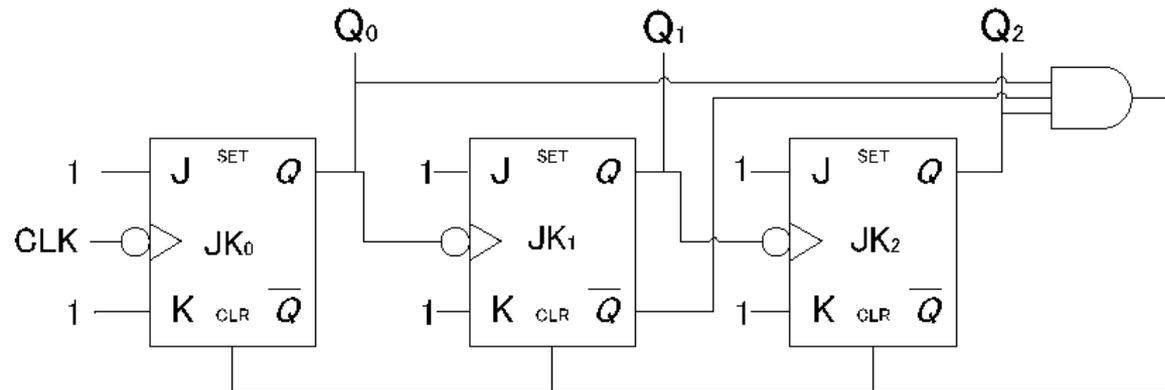
- 前段(下位ビット)のFF出力をクロック信号として入力
- 各FFはクロック入力がある毎に状態反転(クロック分周回路として動

非同同期式8進カウンタのタイムチャート



後段になるに従い回路遅延が発生

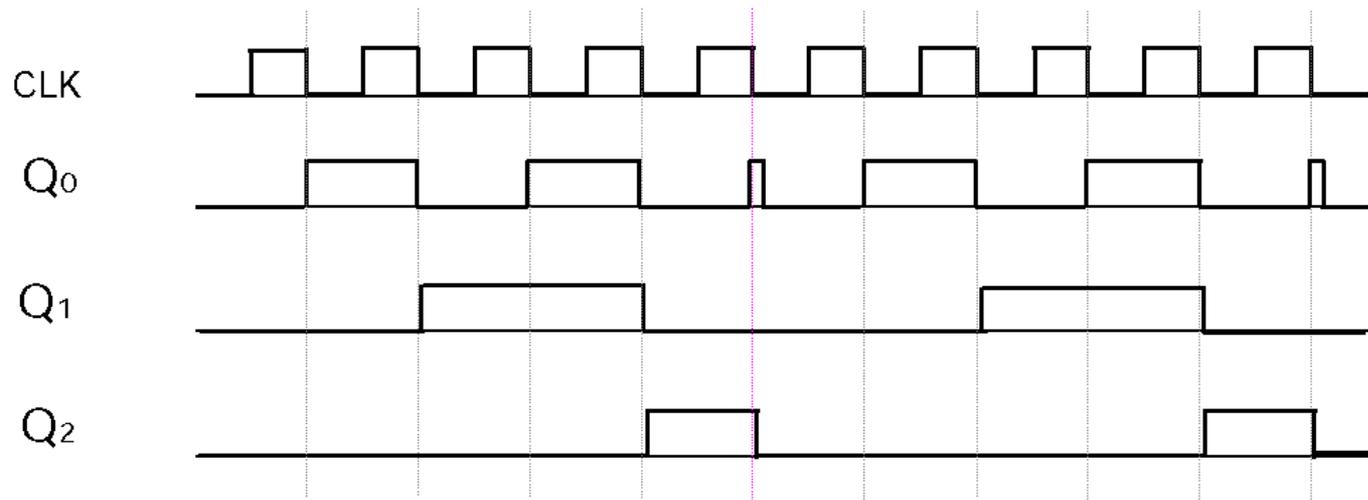
非同期式5進カウンタ



クロック入力がある毎に $Q_2Q_1Q_0$ が、
 $000 \rightarrow 001 \rightarrow 010 \rightarrow 011 \rightarrow 100$
と動作

- $(Q_2Q_1Q_0)$ が(101)になった瞬間にリセットをかけることで5進動作を実現

非同期式5進カウンタのタイムチャート



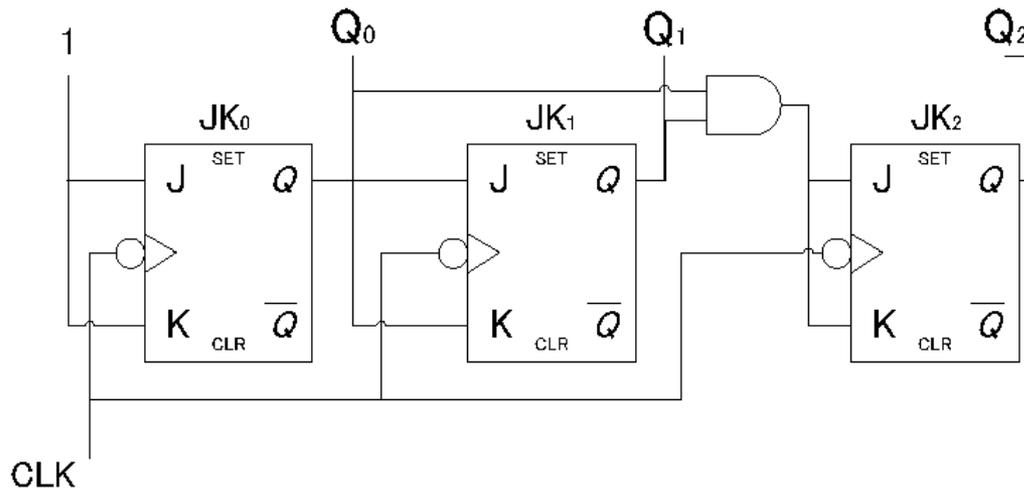
- 非同期式回路ではFF数が多くなるほど遅延が発生し、本来出ないはずのパルス(ハザード)が出る場合あり
- 状態遷移後の出力から回帰入力を行うと、信号伝播のずれが発生
共に誤動作の可能性あり

➔ 同期式順序回路



出力がクロックに同期するカウンタ
(一般的な順序回路の構成)

同期式8進カウンタ



■ 同期式順序回路

- 回路全体を一つのクロック入力に同期させる
- 状態遷移前の信号から次状態デコーダ(各回路への入力信号を発生する組み合わせ論理回路)を設計

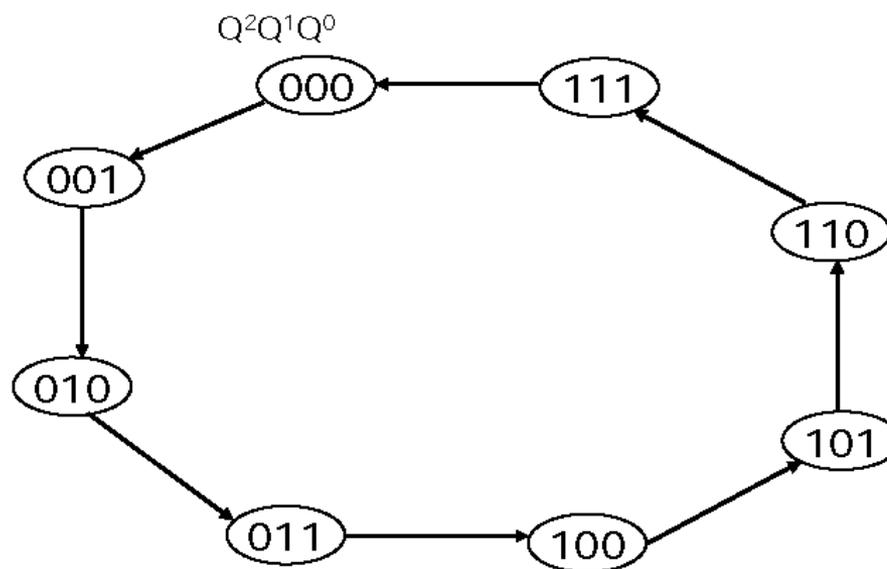
同期式順序回路の設計

1. 状態数の設定と回路全体の状態遷移図の記述
2. 状態遷移表の記述
3. 各FF(出力)に関する励起表の記述
4. 次状態デコーダ(組み合わせ回路)の設計

同期式8進カウンタの設計(1)

■ 状態遷移図の記述

- 8状態 ($8=2^3$): 3ビット



同期式8進カウンタの設計(2)

■ 状態遷移表の記述

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

JK-FFの状態遷移表と励起表

J	K	Q^{n+1}	機能
0	0	Q^n	記憶
0	1	0	リセット
1	0	1	セット
1	1	$\overline{Q^n}$	反転

Q^n	Q^{n+1}	J	K
0	0	0	Φ
0	1	1	Φ
1	0	Φ	1
1	1	Φ	0

同期式8進カウンタの設計(3)

■ 各FFの励起表の記述

Q^n	Q^{n+1}	J	K
0	0	0	Φ
0	1	1	Φ
1	0	Φ	1
1	1	Φ	0

Q_2 の場合

Q_2^n	Q_2^{n+1}	J_2	K_2
0	0	0	Φ
0	0	0	Φ
0	0	0	Φ
0	1	1	Φ
1	1	Φ	0
1	1	Φ	0
1	1	Φ	0
1	0	Φ	1

同期式8進カウンタの設計(4)

■ 各FFの励起表の記述

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	1	0	Φ	0	Φ	1	Φ
0	0	1	0	1	0	0	Φ	1	Φ	Φ	1
0	1	0	0	1	1	0	Φ	Φ	0	1	Φ
0	1	1	1	0	0	1	Φ	Φ	1	Φ	1
1	0	0	1	0	1	Φ	0	0	Φ	1	Φ
1	0	1	1	1	0	Φ	0	1	Φ	Φ	1
1	1	0	1	1	1	Φ	0	Φ	0	1	Φ
1	1	1	0	0	0	Φ	1	Φ	1	Φ	1

$J_n = K_n$ で設  NAIST.

同期式8進カウンタの設計(5)

■ 次状態デコーダの設計(1)

Q_2^n	Q_1^n	Q_0^n	$J_2=K_2$	$J_1=K_1$	$J_0=K_0$
0	0	0	0	0	1
0	0	1	0	1	1
0	1	0	0	0	1
0	1	1	1	1	1
1	0	0	0	0	1
1	0	1	0	1	1
1	1	0	0	0	1
1	1	1	1	1	1

同期式8進カウンタの設計(6)

■ 次状態デコーダの設計(2)

$J_2 = K_2$ のカルノー図

		$Q_1^n Q_0^n$			
		00	01	11	10
Q_2^n	0	0	0	1	0
	1	0	0	1	0

$$J_2 = K_2 = Q_1^n Q_0^n$$

同期式8進カウンタの設計(7)

■ 次状態デコーダの設計(3)

$J_1 = K_1$ のカルノー図

		$Q_2^n Q_1^n$			
		00	01	11	10
Q_0^n	0	0	0	0	0
	1	1	1	1	1

$$J_1 = K_1 = Q_0^n$$

同期式8進カウンタの設計(8)

■ 次状態デコーダの設計(4)

$J_0 = K_0$ のカルノー図

		$Q_1^n Q_0^n$			
		00	01	11	10
Q_2^n	0	1	1	1	1
	1	1	1	1	1

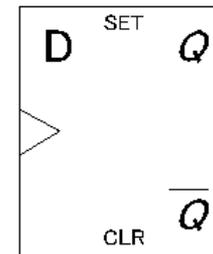
$$J_0 = K_0 = 1$$

演習11

- ポジティブエッジトリガ型D-FFを用いて同期式5進カウンタを設計せよ

Q^n	Q^{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

D-FFの励起表



5進カウンタ設計上の注意点

- 到達しない(はずの)状態の入力は考慮しなくてよい

		$Q_1^n Q_0^n$			
		00	01	11	10
Q_2^n	0				
	1		Φ	Φ	Φ

$Q_2 Q_1 Q_0$ がとり得る状態は
000,001,010,011,100の5つ
→それ以外の状態への入力はDon't Care
(0でも1でも良い)



今日はここまで